

特長

小さいオン抵抗: 300 Ω (typ)
 高速なスイッチング時間
 t_{ON} : 最大 250 ns
 t_{OFF} : 最大 250 ns
 低消費電力: 最大 3.3 mW
 故障および過電圧保護 (-40 V~+55 V)
 電源オフで全スイッチがオフ
 過電圧発生時にオン・チャンネルのアナログ出力を電源電圧以内に
 クランプ
 ラッチアップ保護構造
 ブレーク・ビフォー・メーカー構成
 TTL/CMOS 互換入力

アプリケーション

既存マルチプレクサ・アプリケーション (故障保護と非故障保護)
 マルチプレクサ機能を必要とする新デザイン

概要

ADG508F、ADG509F、ADG528F¹ は CMOS アナログ・マルチプレクサであり、ADG508F と ADG528F は 8 個のシングル・チャンネルで、ADG509F は 4 個の差動チャンネルで、それぞれ構成されています。これらのマルチプレクサは故障保護機能を持っています。直列の n チャンネル—p チャンネル—n チャンネルの MOSFET 構造を採用して、過電圧時または電源損失時にデバイスと信号源を保護します。このマルチプレクサは、-40 V~+55 V の連続過電圧入力に耐えることができます。故障状態では、マルチプレクサ入力 (または出力) はオープンになるため、リーク電流は数 nA になります。この機能は、マルチプレクサとマルチプレクサが駆動する回路を保護するだけでなく、このマルチプレクサを駆動するセンサーまたは信号源も保護します。

ADG508F と ADG528F は、3 ビットのバイナリ・アドレス・ライン A0、A1、A2 による指定に基づき、8 入力の中の 1 つを共通出力に接続します。ADG509F は、2 ビットのバイナリ・アドレス・ライン A0 と A1 による指定に基づき、4 差動入力の中の 1 つを共通差動出力に接続します。ADG528F は、マイクロプロセッサとのインターフェースを可能にするアドレス・ラッチとコントロール・ラッチを内蔵しています。EN 入力は、各デバイスをイネーブルまたはディスエーブルするときに使います。

¹ 米国特許 No.4,446,303 と No.5,389,811 により保護されています。

機能ブロック図

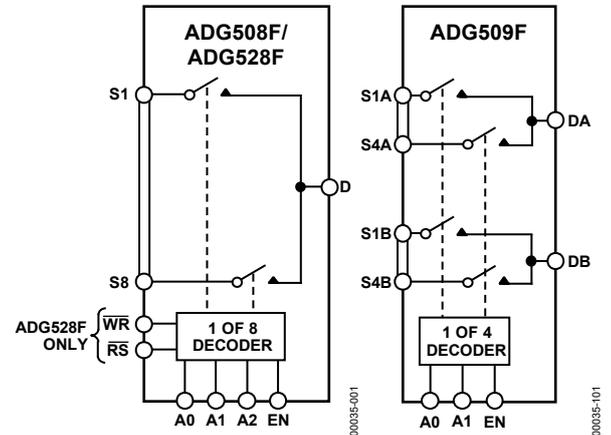


図 1.

ディスエーブルされると、すべてのチャンネルはスイッチ・オフされます。

製品のハイライト

- 故障保護機能。
ADG508F/ADG509F/ADG528F は、-40 V~+55 V の連続過電圧入力に耐えることができます。電源がオフになる故障状態では、全チャンネルがターンオフし、リーク電流は数 nA になります。
- 故障状態ではオン・チャンネルがターンオフします。
- R_{ON} が小さい。
- 高速なスイッチング時間。
- ブレーク・ビフォー・メーカー・スイッチング動作。
入力信号の瞬時短絡を防止するためにスイッチでブレーク・ビフォー・メーカー動作を保証。
- トレンチ・アイソレーションによりラッチアップを解消。
絶縁トレンチにより p チャンネルと n チャンネルの MOSFET を分離することによりラッチアップを防止。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2001–2009 Analog Devices, Inc. All rights reserved.

目次

特長	1	絶対最大定格	6
アプリケーション	1	ESDの注意	6
機能ブロック図	1	ピン配置およびピン機能説明	7
概要	1	代表的な性能特性	8
製品のハイライト	1	用語	10
改訂履歴	2	動作原理	11
仕様	3	テスト回路	12
両電源	3	外形寸法	15
真理値表	4	オーダー・ガイド	18
タイミング図	5		

改訂履歴**7/09—Rev. D: Rev. E**

Updated Format	Universal
Added TSSOP	Universal
Updated Outline Dimensions	15
Changes to Ordering Guide	18

4/01—Data Sheet Changed from Rev. C to Rev. D.

Changes to Ordering Guide	1
Changes to Specifications Table	2
Max Ratings Changed	4
Deleted 16-Lead Cerdip from Outline Dimensions	11
Deleted 18-Lead Cerdip from Outline Dimensions	12

仕様

両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	B Version		Unit	Test Conditions/Comments
	+25°C	-40°C to +85°C		
ANALOG SWITCH				
Analog Signal Range		$V_{SS} + 3$ $V_{DD} - 1.5$	V min V max	
R_{ON}	300	350	Ω typ	$-10\text{ V} \leq V_S \leq +10\text{ V}$, $I_S = 1\text{ mA}$; $V_{DD} = +15\text{ V} \pm 10\%$, $V_{SS} = -15\text{ V} \pm 10\%$
		400	Ω max	$-10\text{ V} \leq V_S \leq +10\text{ V}$, $I_S = 1\text{ mA}$; $V_{DD} = +15\text{ V} \pm 5\%$, $V_{SS} = -15\text{ V} \pm 5\%$
R_{ON} Drift	0.6		%/°C typ	$V_S = 0\text{ V}$, $I_S = 1\text{ mA}$
R_{ON} Match	5		% max	$V_S = 0\text{ V}$, $I_S = 1\text{ mA}$
LEAKAGE CURRENTS				
Source OFF Leakage I_S (OFF)	± 0.02		nA typ	$V_D = \pm 10\text{ V}$, $V_S = \overline{\pm 10}\text{ V}$; See Figure 22
	± 1	± 50	nA max	
Drain OFF Leakage I_D (OFF)	± 0.04		nA typ	$V_D = \pm 10\text{ V}$, $V_S = \overline{\pm 10}\text{ V}$; See Figure 23
ADG508F/ADG528F	± 1	± 60	nA max	
ADG509F	± 1	± 30	nA max	
Channel ON Leakage I_D , I_S (ON)	± 0.04		nA typ	$V_S = V_D = \pm 10\text{ V}$; See Figure 24
ADG508F/ADG528F	± 1	± 60	nA max	
ADG509F	± 1	± 30	nA max	
FAULT				
Output Leakage Current (With Overvoltage)	± 0.02		nA typ	$V_S = \pm 33\text{ V}$, $V_D = 0\text{ V}$, see Figure 23
	± 2	± 2	μA max	
Input Leakage Current (With Overvoltage)	± 0.005		μA typ	$V_S = \pm 25\text{ V}$, $V_D = \overline{\pm 10}\text{ V}$, see Figure 25
	± 2		μA max	
Input Leakage Current (With Power Supplies OFF)	± 0.001		μA typ	$V_S = \pm 25\text{ V}$, $V_D = V_{EN} = A0, A1, A2 = 0\text{ V}$ See Figure 26
	± 2		μA max	
DIGITAL INPUTS				
Input High Voltage, V_{INH}		2.4	V min	
Input Low Voltage, V_{INL}		0.8	V max	
Input Current, I_{INL} or I_{INH}		± 1	μA max	$V_{IN} = 0$ or V_{DD}
C_{IN} , Digital Input Capacitance	5		pF typ	
DYNAMIC CHARACTERISTICS¹				
$t_{TRANSITION}$	200		ns typ	$R_L = 1\text{ M}\Omega$, $C_L = 35\text{ pF}$; $V_{S1} = \pm 10\text{ V}$, $V_{S8} = \overline{\pm 10}\text{ V}$; see Figure 27
	300	400	ns max	
t_{OPEN}	50		ns typ	$R_L = 1\text{ k}\Omega$, $C_L = 35\text{ pF}$; $V_S = 5\text{ V}$; see Figure 28
	25	10	ns min	
t_{ON} (EN, \overline{WR})	200		ns typ	$R_L = 1\text{ k}\Omega$, $C_L = 35\text{ pF}$; $V_S = 5\text{ V}$; see Figure 29
	250	400	ns max	
t_{OFF} (EN, \overline{RS})	200		ns typ	$R_L = 1\text{ k}\Omega$, $C_L = 35\text{ pF}$; $V_S = 5\text{ V}$; see Figure 29
t_{SETT} , Settling Time	250	400	ns max	
0.1%		1	μs typ	$R_L = 1\text{ k}\Omega$, $C_L = 35\text{ pF}$; $V_S = 5\text{ V}$
0.01%		2.5	μs typ	
ADG528F Only				
t_W , Write Pulse Width	100	120	ns min	
t_S , Address, Enable Setup Time		100	ns min	
t_H , Address, Enable Hold Time		10	ns min	
t_{RS} , Reset Pulse Width		100	ns min	

ADG508F/ADG509F/ADG528F

Parameter	B Version		Unit	Test Conditions/Comments
	+25°C	-40°C to +85°C		
Charge Injection	4		pC typ	V _S = 0 V, R _S = 0 Ω, C _L = 1 nF; see Figure 32 R _L = 1 kΩ, C _L = 15 pF, f = 100 kHz; V _S = 7 V rms; see Figure 33
OFF Isolation	68		dB typ	
	50		dB min	
C _S (OFF)	5		pF typ	
C _D (OFF)				
ADG508F/ADG528F	50		pF typ	
ADG509F	25		pF typ	
POWER REQUIREMENTS				
I _{DD}	0.1	0.2	mA max	V _{IN} = 0 V or 5 V
I _{SS}	0.1	0.1	mA max	

¹ 設計上保証しますが、出荷テストは行いません。

真理値表

表 2.ADG508F の真理値表

A2	A1	A0	EN	ON Switch
X	X	X	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

X = Don't Care

表 3.ADG509F の真理値表

A1	A0	EN	ON Switch Pair
X	X	0	None
0	0	1	1
0	1	1	2
1	0	1	3
1	1	1	4

X = Don't Care

表 4.ADG528F の真理値表

A2	A1	A0	EN	\overline{WR}	\overline{RS}	ON Switch
X	X	X	X	$\overline{\downarrow}$	1	Retains previous switch condition
X	X	X	X	X	0	None (address and enable latches cleared)
X	X	X	0	0	1	None
0	0	0	1	0	1	1
0	0	1	1	0	1	2
0	1	0	1	0	1	3
0	1	1	1	0	1	4
1	0	0	1	0	1	5
1	0	1	1	0	1	6
1	1	0	1	0	1	7
1	1	1	1	0	1	8

X = Don't Care

タイミング図

図 2 に、スイッチ・アドレスとイネーブル入力をラッチするタイミング・シーケンスを示します。ラッチはレベル検出であるため、 \overline{WR} がロー・レベルのとき、ラッチはトランスペアレントになり、スイッチがアドレスとイネーブル入力に応答します。この入力データは、 \overline{WR} の立ち上がりエッジでラッチされます。

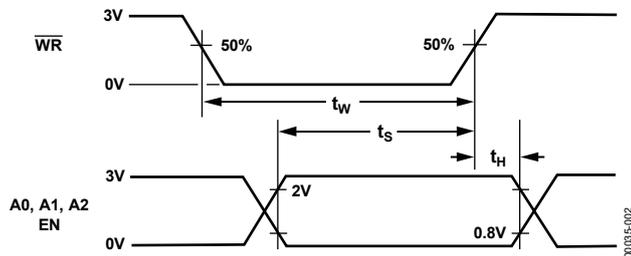


図 2. スイッチ・アドレスとイネーブル入力をラッチする ADG528F のタイミング・シーケンス

図 3 に、リセット・パルス幅 t_{RS} とリセット・ターンオフ時間 $t_{OFF}(\overline{RS})$ を示します。すべてのデジタル入力信号の立ち下がり時間と立ち上がり時間は、3 V の 10%~90% で測定します。 $t_R = t_F = 20$ ns。

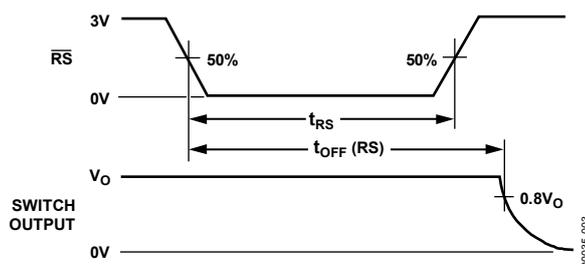


図 3. ADG528F のリセット・パルス幅

絶対最大定格

特に指定がない限り、 $T_A = +25^{\circ}\text{C}$ 。

表 5.

Parameter	Rating
V_{DD} to V_{SS}	44 V
V_{DD} to GND	-0.3 V to +25 V
V_{SS} to GND	+0.3 V to -25 V
Digital Input, EN, Ax	-0.3 V to $V_{DD} + 2$ V or 20 mA, whichever occurs first
V_S , Analog Input Overvoltage with Power On	$V_{SS} - 25$ V to $V_{DD} + 40$ V
V_S , Analog Input Overvoltage with Power Off	-40 V to +55 V
Continuous Current, S or D	20 mA
Peak Current, S or D (Pulsed at 1 ms, 10% Duty Cycle Max)	40 mA
Operating Temperature Range Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
TSSOP	
θ_{JA} , Thermal Impedance Plastic Package	112°C/W
θ_{JA} , Thermal Impedance 16-Lead	117°C/W
18-Lead	110°C/W
Lead Temperature, Soldering (10 sec)	260°C
SOIC Package	
θ_{JA} , Thermal Impedance Narrow Body	77°C/W
Wide Body	75°C/W
Lead Temperature, Soldering Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
PLCC Package	
θ_{JA} , Thermal Impedance	90°C/W
Lead Temperature, Soldering Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

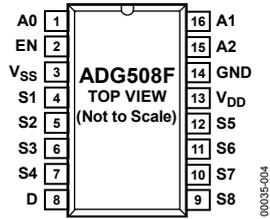


図 4. ADG508F のピン配置
TSSOP/DIP/SOIC

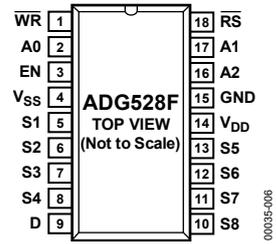


図 6. ADG528F のピン配置
DIP

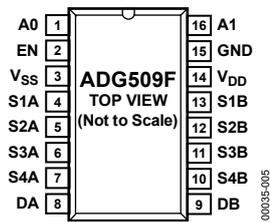


図 5. ADG509F のピン配置
TSSOP/DIP/SOIC

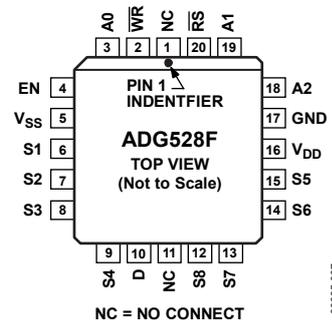


図 7. ADG528F のピン配置
PLCC

代表的な性能特性

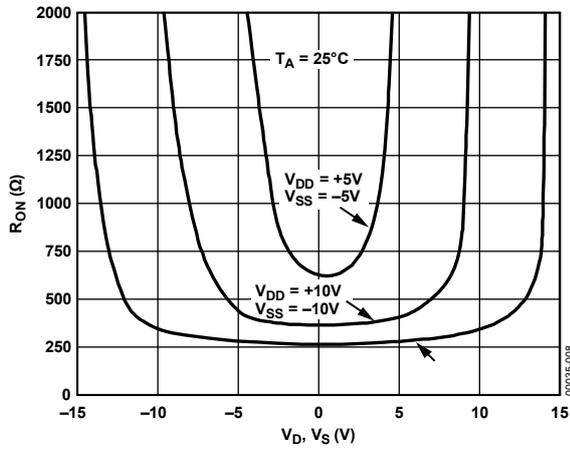


図 8. V_D (V_S) の関数としてのオン抵抗

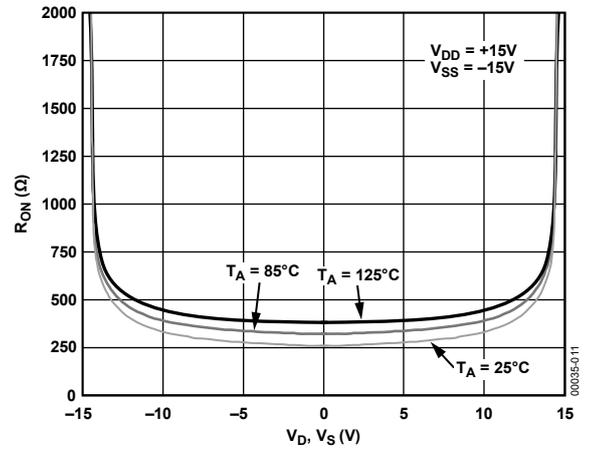


図 11. 様々な温度での V_D (V_S) の関数としてのオン抵抗

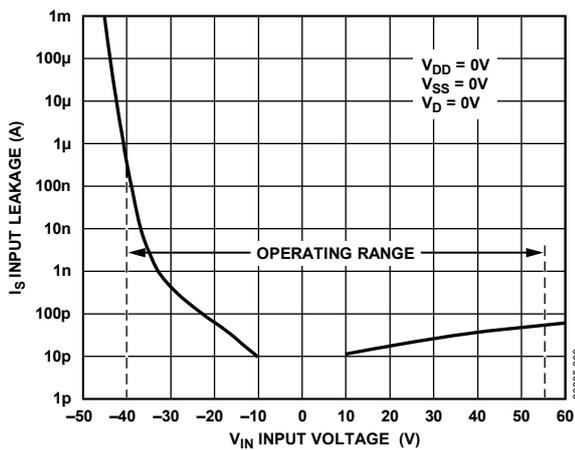


図 9. V_S (電源オフ) の関数としての入力リーク電流、過電圧状態

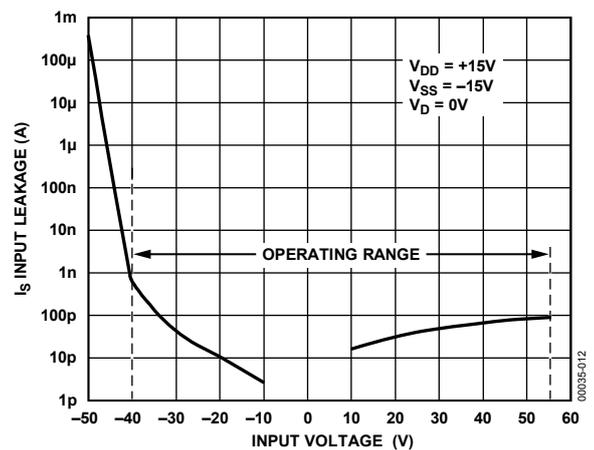


図 12. V_S (電源オン) の関数としての入力リーク電流、過電圧状態

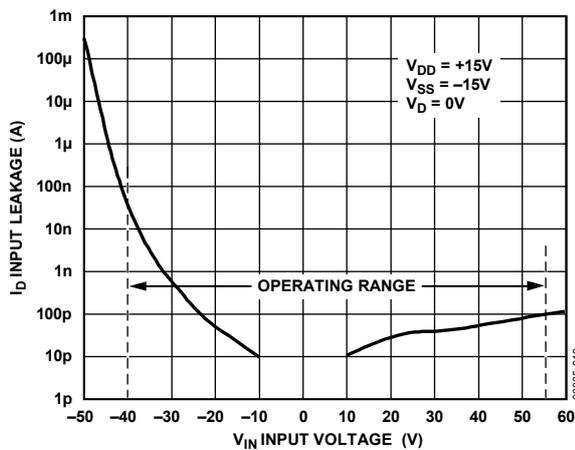


図 10. V_S (電源オン) の関数としての出力リーク電流、過電圧状態

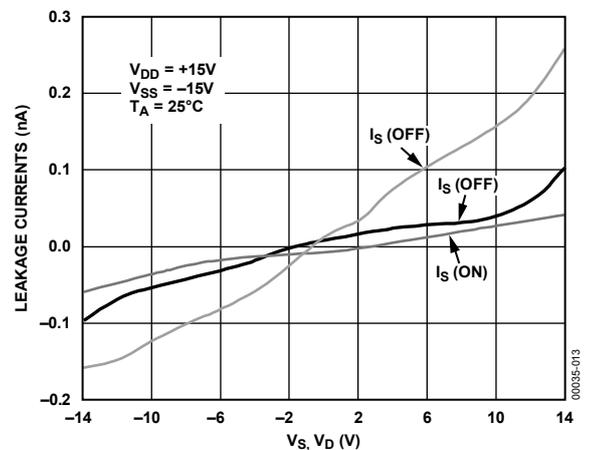


図 13. V_D (V_S) の関数としてのリーク電流

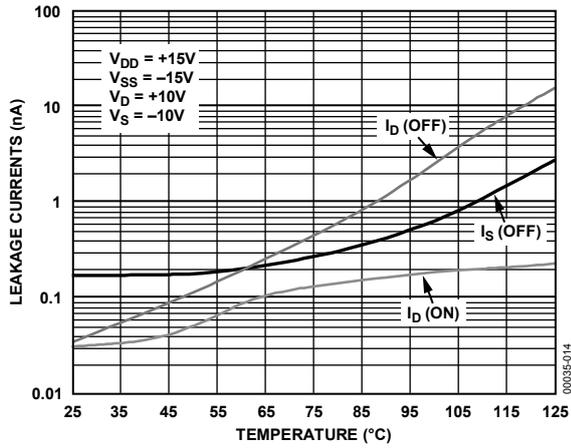


図 14. 温度の関数としてのリーク電流

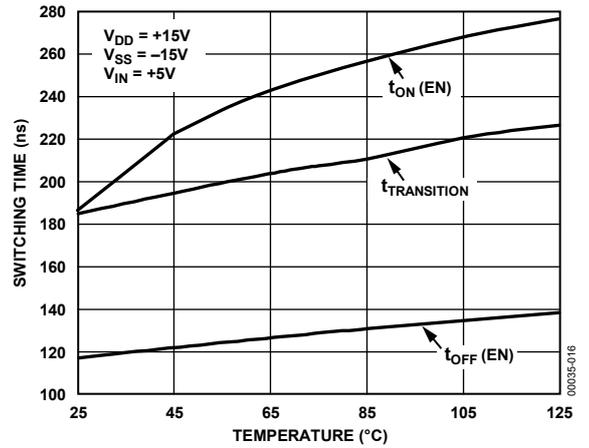


図 16. スイッチング時間の温度特性

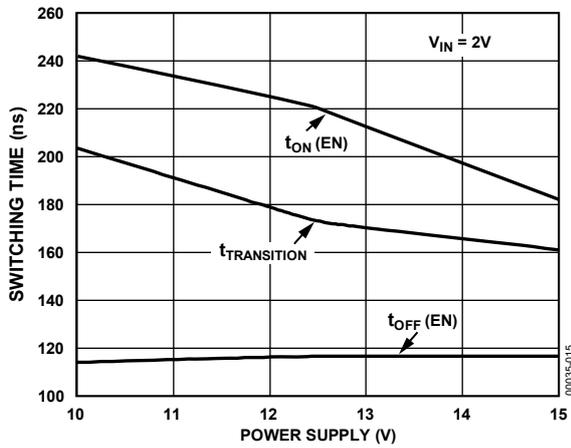


図 15. 電源電圧対スイッチング時間

用語

V_{DD}

正電源電位。

V_{SS}

最も負側の電源電位。

GND

グラウンドリファレンス(0 V)。

R_{ON}

D-S 間の抵抗。

R_{ON} ドリフト

温度変化が 1°C 変化したときの R_{ON} の変化。

R_{ON} の不一致

任意の 2 チャンネル間での R_{ON} の差。

I_S (OFF)

スイッチ「オフ」時のソース・リーク電流。

I_D (OFF)

スイッチ「オフ」時のドレイン・リーク電流。

I_D、I_S (ON)

スイッチ「オン」時のチャンネル・リーク電流。

V_D (V_S)

D、S ピンのアナログ電圧。

C_S (OFF)

オフ状態のチャンネル入力容量。

C_D (OFF)

オフ状態のチャンネル出力容量。

C_D、C_S (ON)

オン時のスイッチ容量。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{OPEN}

あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの 80%ポイント間で測定したオフ時間。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} (I_{INH})

デジタル入力の入力電流。

オフ時アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

動作原理

ADG508F/ADG509F/ADG528F マルチプレクサは、電源電圧の有無によらず、 $-40\text{ V}\sim+55\text{ V}$ の過電圧に耐えることができます。マルチプレクサの各チャンネルは、直列に接続されたnチャンネル—pチャンネル—nチャンネルのMOSFETから構成されています。アナログ入力が電源電圧を超えると、MOSFETの1つがオフになり、電流を μA 以下のレベルに制限するため、過電圧によりマルチプレクサの後ろの回路が破壊されるのを防止します。図17に、これらのマルチプレクサが連続過電圧に耐えることを可能にするチャンネル・アーキテクチャを示します。

$V_{SS} + 3\text{ V}\sim V_{DD} - 1.5\text{ V}$ のアナログ入力をADG508F/ADG509F/ADG528Fに加えると、マルチプレクサは標準のマルチプレクサとして機能し、たとえば最大オン抵抗 $400\ \Omega$ の標準マルチプレクサのような仕様を持ちますが、過電圧をデバイスに加えると、3個のMOSFETの内の1つがターンオフします。

図17～図20に、種々の過電圧状態に対する3個のMOSFETの状態を示します。オン・チャンネルに加えるアナログ入力为正の電源ラインに近づくと、アナログ入力の電圧が V_{DD} とnチャンネル・スレッショルド電圧 (V_{TN})との間の差を超えるため、nチャンネルMOSFETがターンオフします。 V_{SS} より負側の電圧をマルチプレクサに加えると、アナログ入力が V_{SS} とpチャンネル・スレッショルド電圧 (V_{TP})との間の差より負側になるため、pチャンネルMOSFETがターンオフします。 V_{TN} は公称 1.5 V で、 V_{TP} は 3 V (typ)であるため、マルチプレクサのアナログ入力範囲は $\pm 15\text{ V}$ の電源を使用したとき $-12\text{ V}\sim+13.5\text{ V}$ に制限されます。

電源電圧が存在し、かつチャンネルがオフの場合も、過電圧が発生すると、pチャンネルMOSFETまたは一方のnチャンネルMOSFETがターンオフします。

最後に、電源がオフになると、各MOSFETのゲートはグラウンド・レベルになります。負の過電圧では最初のnチャンネルMOSFETがオンになりますが、過電圧により発生するバイアスにより、pチャンネルMOSFETはターンオフしたままになります。正の過電圧では、最初の直列MOSFETに加わるゲートソース間電圧が負になるため、このMOSFETはオフを維持します。

故障状態では、ADG508F/ADG509F/ADG528Fのリーク電流は数 μA に制限されます。この機能により、マルチプレクサと後続の回路が過ストレスから保護され、さらにマルチプレクサを駆動する信号源も保護されます。また、マルチプレクサの他のチャンネルは過電圧に乱されることがなく、通常の動作を続けることができます。

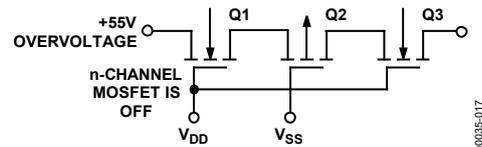


図17. オン・チャンネルに対する $+55\text{ V}$ の過電圧入力

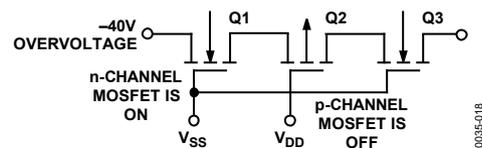


図18. 電源オン時マルチプレクサのオフ・チャンネルでの -40 V 過電圧

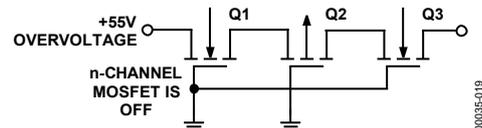


図19. 電源オフ時の $+55\text{ V}$ 過電圧

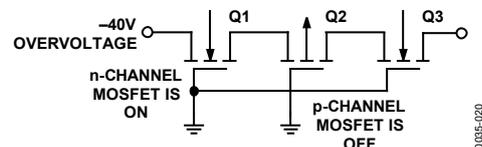


図20. 電源オフ時の -40 V 過電圧

テスト回路

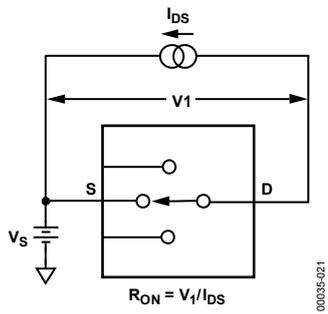


図 21. オン抵抗

00035-021

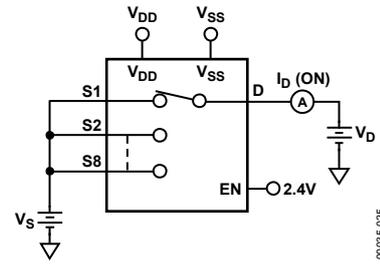


図 24. I_D (On)

00035-025

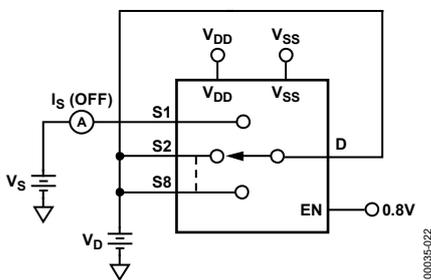


図 22. I_S (Off)

00035-022

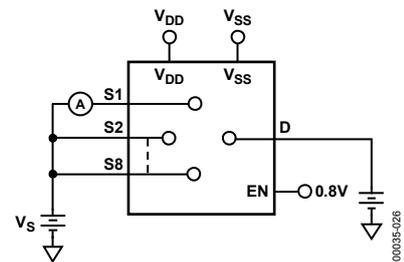


図 25. 入力リーク電流 (過電圧時)

00035-026

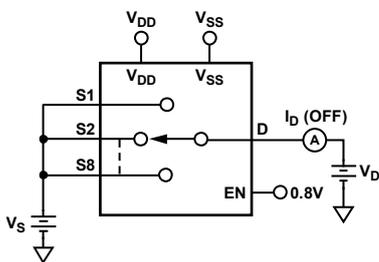


図 23. I_D (Off)

00035-023

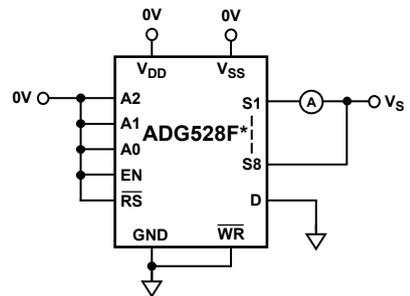


図 26. 入力リーク電流 (電源オフ時)

00035-027

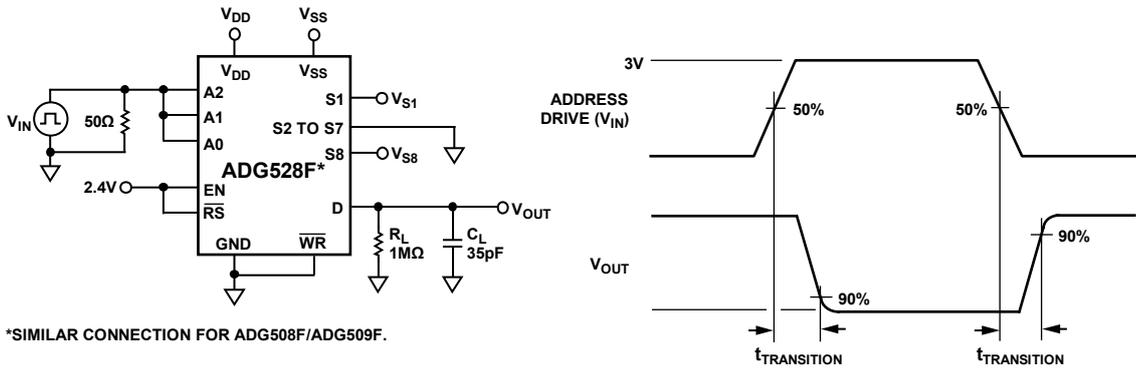


図 27.マルチプレクサのスイッチング時間 $t_{\text{TRANSITION}}$

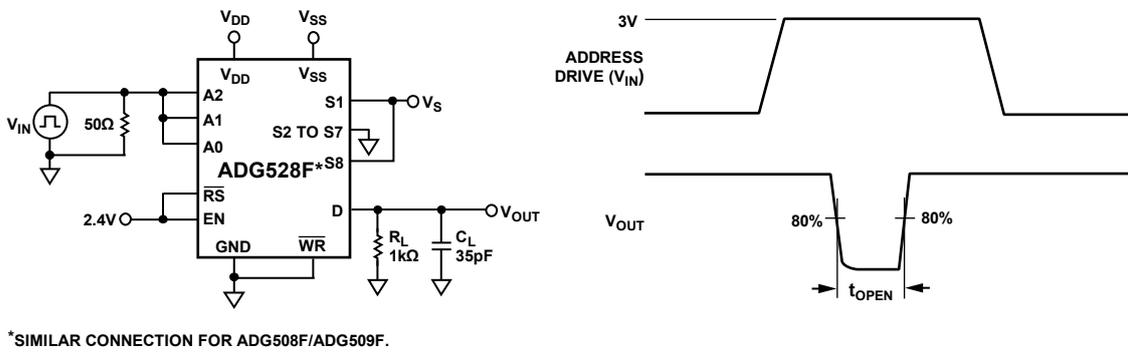


図 28.ブレーク・ビフォー・メイク時間遅延 t_{OPEN}

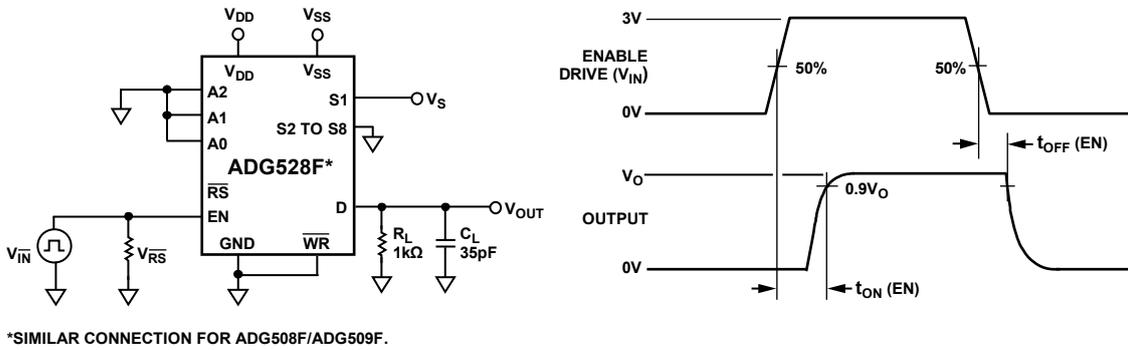


図 29.イネーブル遅延 $t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$

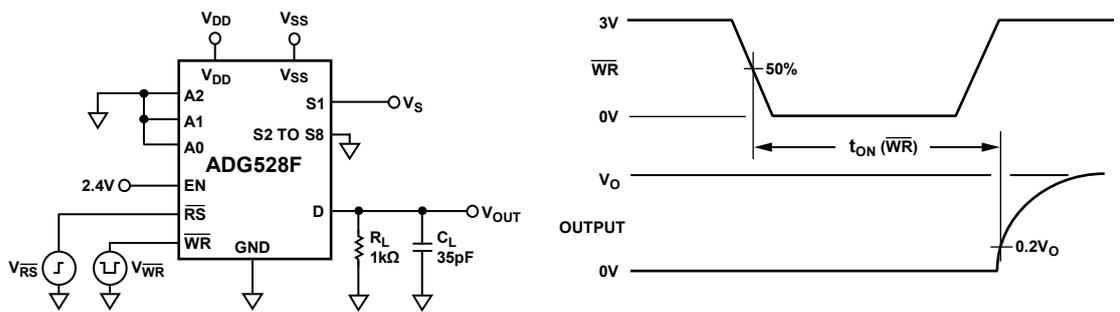
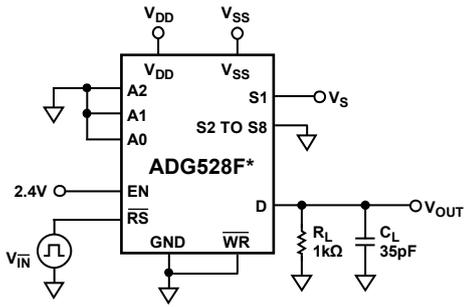
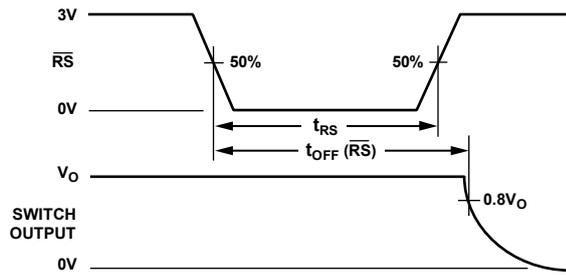


図 30.書き込みターンオン時間 $t_{\text{ON}}(\overline{\text{WR}})$

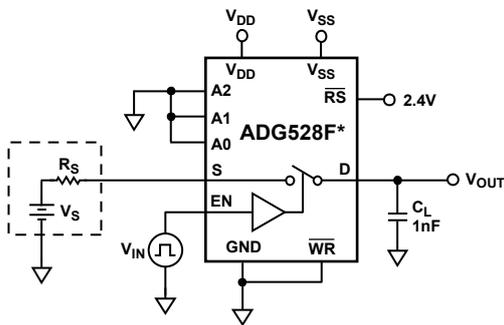


*SIMILAR CONNECTION FOR ADG508F/ADG509F.

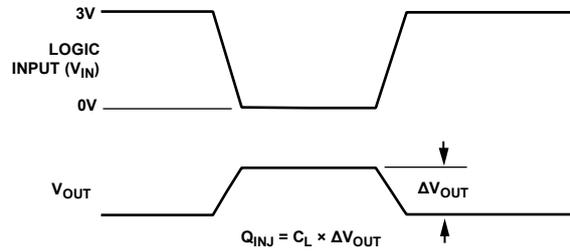


00035-032

図 31.リセット・ターンオフ時間 $t_{OFF}(\overline{RS})$

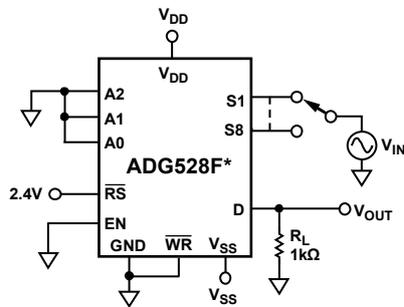


*SIMILAR CONNECTION FOR ADG508F/ADG509F.



00035-033

図 32.チャージ・インJECTION

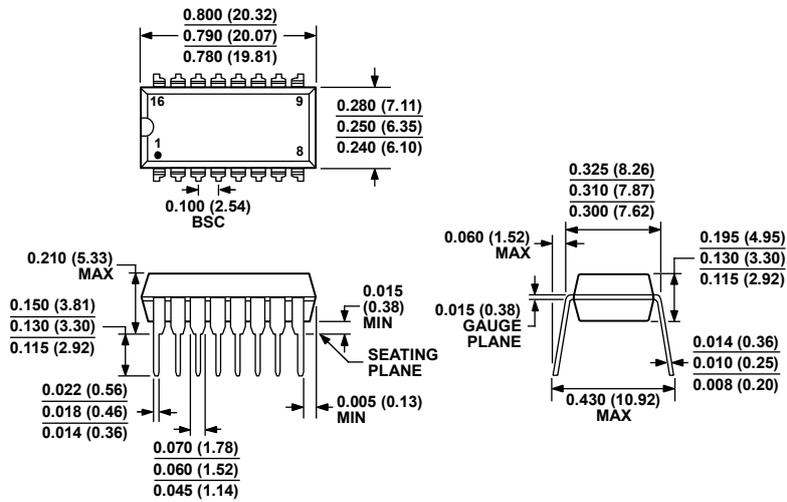


*SIMILAR CONNECTION FOR ADG508F/ADG509F.

図 33.オフ時アイソレーション

00035-034

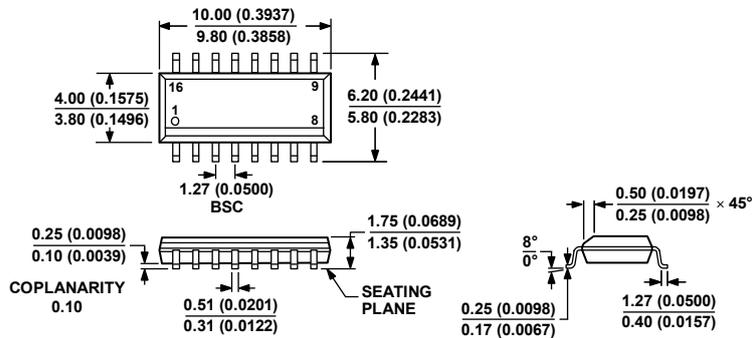
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001-AB
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

073106-B

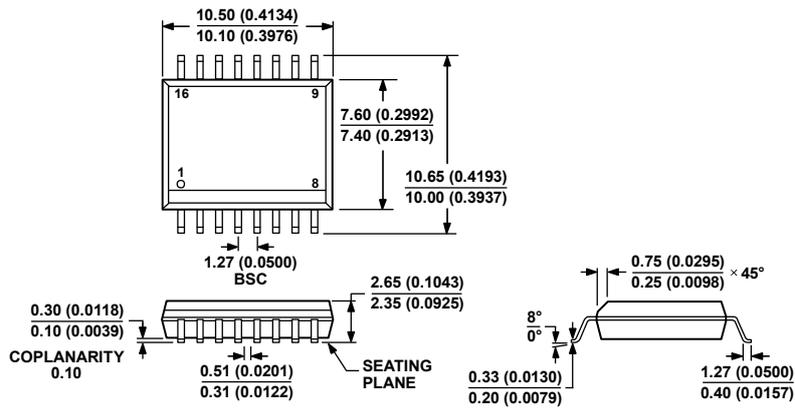
図 34.16 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
 ナロー・ボディ
 (N-16)
 寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AC
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

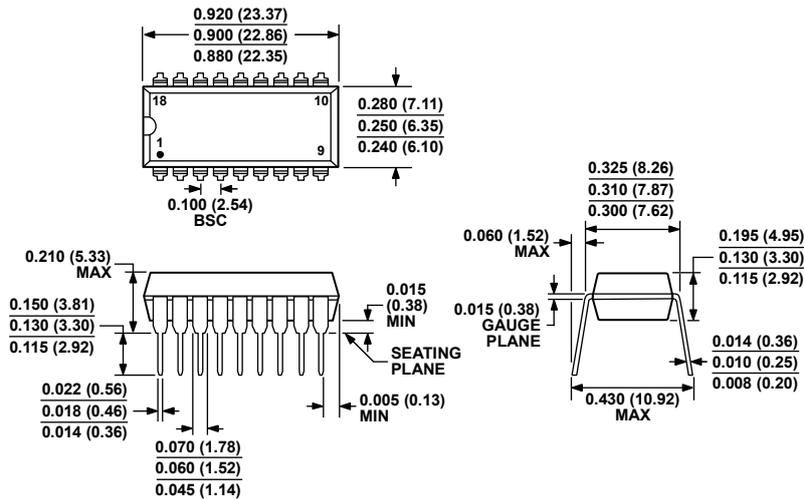
図 35.16 ピン標準スモール・アウトライン・パッケージ[SOIC-N]
 ナロー・ボディ(R-16)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

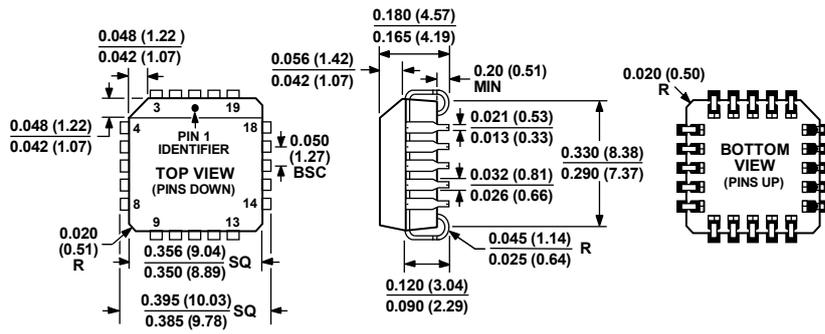
図 36.16 ピン標準スモール・アウトライン・パッケージ[SOIC-W]
 ワイド・ボディ(RW-16)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-001
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

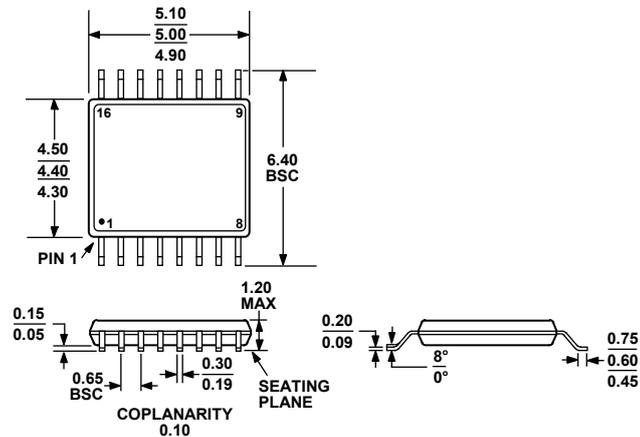
070706-A

図 37.18 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]
 ナロー・ボディ
 (N-18)
 寸法: インチ(mm)



COMPLIANT TO JEDEC STANDARDS MO-047-AA
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 38.20 ピン・プラスチック・リード付きチップ・キャリア [PLCC]
 (P-20)
 寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 39.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
 (RU-16)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADG508FBN	-40°C to +85°C	16-Lead PDIP	N-16
ADG508FBNZ	-40°C to +85°C	16-Lead PDIP	N-16
ADG508FBRN	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG508FBRN-REEL7	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG508FBRNZ	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG508FBRNZ-REEL7	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG508FBRW	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG508FBRWZ	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG508FBRWZ-REEL	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG508FBRUZ	-40°C to +85°C	16-Lead TSSOP	RU-16
ADG508FBRUZ-REEL7	-40°C to +85°C	16-Lead TSSOP	RU-16
ADG509FBN	-40°C to +85°C	16-Lead PDIP	N-16
ADG509FBNZ	-40°C to +85°C	16-Lead PDIP	N-16
ADG509FBRN	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG509FBRN-REEL7	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG509FBRNZ	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG509FBRNZ-REEL7	-40°C to +85°C	16-Lead SOIC_N	R-16
ADG509FBRW	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG509FBRW-REEL	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG509FBRWZ	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG509FBRWZ-REEL	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADG509FBRUZ	-40°C to +85°C	16-Lead TSSOP	RU-16
ADG509FBRUZ-REEL7	-40°C to +85°C	16-Lead TSSOP	RU-16
ADG528FBN	-40°C to +85°C	18-Lead PDIP	N-18
ADG528FBNZ	-40°C to +85°C	18-Lead PDIP	N-18
ADG528FBP	-40°C to +85°C	20-Lead PLCC	P-20
ADG528FBP-REEL	-40°C to +85°C	20-Lead PLCC	P-20
ADG528FBPZ	-40°C to +85°C	20-Lead PLCC	P-20